

PATENT
8008-1044

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Kenichi SASAKI et al.
Conf.:

Appl. No.:

Group:

Filed: July 9, 2003

Examiner:

Title: CLOCK DATA RECOVERY CIRCUIT

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

July 9, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-200351	July 9, 2003

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041

BC/baf

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

Attachment(s): 1 Certified Copy(ies)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月 9日

出願番号

Application Number:

特願2002-200351

[ST.10/C]:

[JP2002-200351]

出願人

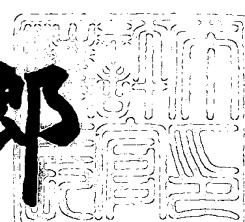
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034324

【書類名】 特許願
【整理番号】 71110550
【あて先】 特許庁長官 及川 耕造 殿
【国際特許分類】 H03L 7/087
H03L 7/099
【発明の名称】 クロックデータリカバリー回路
【請求項の数】 6
【発明者】
【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
【氏名】 佐々木 健一
【発明者】
【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
【氏名】 内野 真一
【発明者】
【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
【氏名】 青木 泰
【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社
【代理人】
【識別番号】 100090158
【弁理士】
【氏名又は名称】 藤巻 正憲
【電話番号】 03-3433-4221
【手数料の表示】
【予納台帳番号】 009782
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

特2002-200351

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715181

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロックデータリカバリー回路

【特許請求の範囲】

【請求項1】 SONET／SDHで用いられるクロックデータリカバリー回路において、入力信号から入力クロックを抽出するクロック抽出手段と、前記入力信号をリタイミングするリタイミング用クロックを生成するリタイミング用クロック生成手段と、リタイミング後の入力信号を一時的に保管する先入れ先出しメモリ手段と、前記先入れ先出しメモリ手段での書き込みのタイミングを前記リタイミング用クロックで制御し読み出しのタイミングを前記入力クロックで制御することにより書き込み側アドレス値と読み出し側アドレス値との重複を回避する第1位相調整手段とを有することを特徴とするクロックデータリカバリー回路。

【請求項2】 前記クロック抽出手段は、前記リタイミング用クロックの位相と前記入力信号の位相とを比較してアップ信号又はダウン信号を出力し前記入力信号を前記リタイミング用クロックでリタイミングして出力する第1位相比較手段と、前記第1位相比較手段が出力するアップ信号又はダウン信号によりカウント値を1だけ加算又は減算したカウント値を出力する第1アップダウンカウンタ手段と、前記第1アップダウンカウンタ手段から入力されるカウント値により重み付けされたアップ信号又はダウン信号を出力する加重手段と、前記加重手段から入力されるアップ信号又はダウン信号により電圧値を決定し出力する電圧値決定手段と、前記電圧値決定手段から入力される電圧値により発振周波数を決定し前記入力クロックを出力する電圧制御発振手段とを有することを特徴とする請求項1に記載のクロックデータリカバリー回路。

【請求項3】 前記リタイミング用クロック生成手段は、前記第1位相比較手段から入力されるアップ信号又はダウン信号によりカウント値を1だけ加算又は減算したカウント値を出力する第2アップダウンカウンタ手段と、前記第2アップダウンカウンタ手段から入力されるカウント値により前記クロック抽出手段から入力される前記入力クロックの位相を調整して前記リタイミング用クロックを出力する第2位相調整手段とを有することを特徴とする請求項2に記載のクロ

ックデータリカバリー回路。

【請求項4】 前記加重手段は、前記第1アップダウンカウンタ手段から入力されるアップ信号又はダウン信号と固定値とを比較する大小比較器と、前記大小比較器からの大小比較データと前記第1アップダウンカウンタ手段からのカウント値と前記第3アップダウンカウンタ手段から入力されるカウント値とから前記電圧値決定手段に出力する信号を決定する論理回路とを有することを特徴とする請求項2又は3に記載のクロックデータリカバリー回路。

【請求項5】 前記第1位相調整手段は、前記リタイミング用クロック生成手段から入力される前記リタイミング用クロックのタイミングでカウントされるカウント値及びこのカウント値の最上位ビットを出力する第1カウンタ手段と、前記クロック抽出手段から入力される前記入力クロックのタイミングでカウントされるカウント値及びこのカウント値の最上位ビットを出力する第2カウンタ手段と、前記第1カウンタ手段から入力されるカウント値の最上位ビットの位相と前記第2カウンタ手段から入力されるカウント値の最上位ビットの位相とを比較しアップ信号又はダウン信号を出力する第2位相比較手段と、前記第2位相比較手段から入力されるアップ信号又はダウン信号によりカウント値を1だけ加算又は減算しカウント値を出力する第3アップダウンカウンタ手段とを有することを特徴とする請求項2又は3に記載のクロックデータリカバリー回路。

【請求項6】 前記第1位相比較手段は、前記入力信号を前記リタイミング用クロックでリタイミングし出力する第1フリップフロップと、前記入力信号の位相と前記リタイミング用クロックの位相とを比較しハイ信号又はロー信号を出力する第2フリップフロップと、前記第2フリップフロップから入力されるハイ信号又はロー信号によりアップ信号又はダウン信号を出力する第3フリップフロップとを有することを特徴とする請求項2乃至5のいずれか1項に記載のクロックデータリカバリー回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロックデータリカバリー回路に関し、特に光通信ネットワーク用

S O N E T (Synchronous Optical Network) ／ S D H (Synchronous Digital Hierarchy) 標準規格で用いられるクロックデータリカバリー回路に関する。

【0002】

【従来の技術】

米同期伝送網（S O N E T : Synchronous Optical Network）は、米国の3次群の回線（45Mビット／秒）を光ファイバー伝送路に効率良く収容し、経済的なデジタル・ネットワークを形成するために、1980年代半ばに米国規格協会（A N S I）により標準化された。また、同期デジタル・ハイアラーキ（S D H : Synchronous Digital Hierarchy）は、日米欧で異なっているデジタル・ハイアラーキを統一するため、S O N E Tを元に1988年にI T U - T (International Telecommunication Union-Telecommunication Standardization Sector) 準化された同期デジタル・ハイアラーキ仕様であり、このS D Hにより世界レベルのA T M (Anynchronous Transefer Mode : 非同期転送モード) 網構築が現在までに実現されている。

【0003】

従来のクロックデータリカバリー回路は、入力信号自身から抽出したクロックを用いて入力信号をリタイミングし、このリタイミングされた信号と抽出されたクロックとを出力するのが一般的である。S O N E T／S D Hで用いられるクロックデータリカバリー回路では、クロックデータリカバリー回路からの出力信号である抽出されたクロック及び出力データの両方がS O N E T／S D H標準規格を満足させる特性を有する必要がある。特に、デジタル通信システムでは、過度のジッタは許容範囲外のB E R (Bit Error Rate) につながるため、クロックデータリカバリー回路から抽出されたクロック及び出力データは、そのジッタ伝達特性及びジッタ耐力の両方がS O N E T／S D H標準規格を満たさなければならぬ。

【0004】

図10は、従来の一般的なクロックデータリカバリー回路を示すブロック図である（Digest of Technical Papers, pp251, Figure 15.2.2, 2002 IEEE International Solid-State Circuits Conference）。従来のクロックデータリカバリ

一回路では、シリアルデータ S401 及び電圧制御発振器 (Voltage Controlled Oscillator : VCO) 407 が output するクロック S402 を、それぞれ位相検出回路 (Phase Detector : PD) 401 及び周波数検出回路 (Frequency Detector : FD) 402 に入力し、これらシリアルデータ S401 とクロック S402 の間の位相差及び周波数差の情報を得る。得られた位相差情報 S403 及び周波数差情報 S404 を、それぞれ PD フィルター 403 又は FD フィルター 404 で平滑化し、それぞれ平滑化された位相差情報 S405 及び周波数差情報 S406 を得る。これらの平滑化された情報 S405 及び S406 を加重回路 405 に入力して重み付け及び切換え等の操作を加えて出力 S407 を得る。この 405 からの出力 S407 を高周波除去フィルター (Low Pass Filter : LPF) 406 に入力し、この LPF 406 からの出力 S408 を入力電圧情報として VCO 407 に入力する。この入力電圧により VCO 407 の発振周波数が制御されクロック S402 が出力される。

【0005】

位相検出回路 401 及び周波数検出回路 402、PD フィルター 403、FD フィルター 404、加重回路 405、LPF 406 及び VCO 407 は位相同期回路 (Phase-Locked Loop : PLL) を形成するように接続されている。よって、VCO 407 が output するクロック S402 は、シリアルデータ S401 から抽出されたクロックとなる。また、フリップフロップ 408 は、シリアルデータ S401 を VCO 407 が output したクロック S402 でリタイミングする。よって、VCO 407 が output するリタイミングのために抽出されたクロック S402 とフリップフロップ 408 が output するリタイミングされたシリアルデータ S409 とが、クロックデータリカバリー回路の出力となる。

【0006】

【発明が解決しようとする課題】

しかしながら、このような従来のクロックデータリカバリー回路では、シリアルデータから抽出されたクロックで、このシリアルデータ自身をリタイミングするため、抽出されたクロックの位相とリタイミング用のクロックの位相とを別々に制御できない。このため、入力されるシリアルデータが高周波成分のジッタを

含んでいる場合、ジッタ伝達特性の規格とジッタ耐力の規格とを同時に満足させることができない。

【0007】

例えば、図10に示した従来のクロックデータリカバリー回路において、抽出クロックS402のジッタを抑えるように回路を制御した場合、ジッタ伝達特性は満足させられる。しかし、入力されるシリアルデータS401にジッタが含まれると、フリップフロップ408はジッタを含むデータをジッタを抑えたクロックでリタイミングすることになりデータ誤りを発生する。よって、ジッタ耐力を満足させられない。一方、抽出クロックS402のジッタを抑圧しないように回路を制御した場合、入力されるシリアルデータS401がジッタを含んでいても、フリップフロップ408はジッタを含むデータを同じジッタを含むクロックでリタイミングすることになるため、データ誤りの発生頻度は少なくなる。よって、ジッタ耐力は向上する。しかし、この場合、抽出クロックS402は入力されるシリアルデータS401と同じジッタを含むことになり、ジッタ伝達特性を満足させることができない。

【0008】

本発明はかかる問題点に鑑みてなされたものであって、入力信号からクロックを抽出する手段とリタイミング用クロックを生成する手段とを分離し、抽出されるクロックの位相とリタイミング用クロックの位相とを別々に制御することにより、ジッタ伝達特性及びジッタ耐力の両方がSONET／SDH規格を同時に満足させることができるクロックデータリカバリー回路を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明に係るクロックデータリカバリー回路は、入力信号から入力クロックを抽出するクロック抽出手段と、前記入力信号をリタイミングするリタイミング用クロックを生成するリタイミング用クロック生成手段と、リタイミング後の入力信号を一時的に保管する先入れ先出しメモリ手段と、前記先入れ先出しメモリ手段での書き込みのタイミングを前記リタイミング用クロックで制御し読み出しの

タイミングを前記入力クロックで制御することにより書き込み側アドレス値と読み出し側アドレス値との重複を回避する第1位相調整手段とを有することを特徴とする。

【0010】

本発明においては、入力信号をリタイミングするためのリタイミング用クロックを、クロック抽出手段が抽出する入力クロックとは独立に生成することができる。このため、クロック抽出手段において抽出される入力クロックの位相をジッタ伝達特性を向上させる方向に調整しジッタ耐力が低下するような場合においても、リタイミング用クロック生成手段においてリタイミング用クロックの位相を別途調整しジッタ耐力の規格を満足させるリタイミング用クロックを生成することができる。また、これら抽出された入力クロック、リタイミング用クロック及び入力信号とを前記先入れ先出しメモリに入力し、信号の乗せ換え操作を行うことにより、ジッタ耐力の規格を満足するリタイミング用クロックでリタイミングされ、ジッタ伝達特性の規格を満足する抽出された入力クロックへ乗せ換えられたデータを出力させることができる。よって、ジッタ耐力及びジッタ伝達特性の両方の規格を同時に満足させることができるのである。さらに、前記クロックデータリカバリ回路は第1位相調整手段を有するため、前記先入れ先出しメモリ手段での書き込み側のアドレス値と読み出し側のアドレス値とがぶつかり合うことがない。

【0011】

前記クロック抽出手段は、前記リタイミング用クロックの位相と前記入力信号の位相とを比較してアップ信号又はダウン信号を出力し前記入力信号を前記リタイミング用クロックでリタイミングして出力する第1位相比較手段と、前記第1位相比較手段が出力するアップ信号又はダウン信号によりカウント値を1だけ加算又は減算したカウント値を出力する第1アップダウンカウンタ手段と、前記第1アップダウンカウンタ手段から入力されるカウント値により重み付けされたアップ信号又はダウン信号を出力する加重手段と、前記加重手段から入力されるアップ信号又はダウン信号により電圧値を決定し出力する電圧値決定手段と、前記電圧値決定手段から入力される電圧値により発振周波数を決定し前記入力クロック

クを出力する電圧制御発振手段とで構成することができる。

【0012】

また、前記リタイミング用クロック生成手段は、前記第1位相比較手段から入力されるアップ信号又はダウン信号によりカウント値を1だけ加算又は減算したカウント値を出力する第2アップダウンカウンタ手段と、前記第2アップダウンカウンタ手段から入力されるカウント値により前記クロック抽出手段から入力される前記入力クロックの位相を調整して前記リタイミング用クロックを出力する第2位相調整手段とで構成することができる。

【0013】

前記加重手段は、前記第1アップダウンカウンタ手段から入力されるアップ信号又はダウン信号と固定値とを比較する大小比較器と、前記大小比較器からの大小比較データと前記第1アップダウンカウンタ手段からのカウント値と前記第3アップダウンカウンタ手段から入力されるカウント値とから前記電圧値決定手段に出力する信号を決定する論理回路とで構成することができる。

【0014】

また、前記第1位相調整手段は、前記リタイミング用クロック生成手段から入力される前記リタイミング用クロックのタイミングでカウントされるカウント値及びこのカウント値の最上位ビットを出力する第1カウンタ手段と、前記クロック抽出手段から入力される前記入力クロックのタイミングでカウントされるカウント値及びこのカウント値の最上位ビットを出力する第2カウンタ手段と、前記第1カウンタ手段から入力されるカウント値の最上位ビットの位相と前記第2カウンタ手段から入力されるカウント値の最上位ビットの位相とを比較しアップ信号又はダウン信号を出力する第2位相比較手段と、前記第2位相比較手段から入力されるアップ信号又はダウン信号によりカウント値を1だけ加算又は減算しカウント値を出力する第3アップダウンカウンタ手段とで構成することができる。

【0015】

前記第1位相比較手段は、前記入力信号を前記リタイミング用クロックでリタイミングし出力する第1フリップフロップと、前記入力信号の位相と前記リタイミング用クロックの位相とを比較しハイ信号又はロー信号を出力する第2フリッ

ブロップと、前記第2フリップフロップから入力されるハイ信号又はロー信号によりアップ信号又はダウン信号を出力する第3フリップフロップとで構成することができる。

【0016】

この第1フリップフロップが入力信号を入力クロックでリタイミングして出力することにより、前記第1位相比較手段は、データ誤りの可能性が少ない信号を出力し前記先入れ先出しメモリ手段へ入力することができる。また、前記第2フリップフロップが生成する信号により第3フリップフロップは、前記リタイミング用クロック生成手段及び前記クロック抽出手段が出力するクロックの位相を決定するために必要なアップ信号又はダウン信号を生成し出力することができる。

【0017】

【発明の実施の形態】

以下、本発明の実施形態に係るクロックデータリカバリー回路について、添付の図面を参照して具体的に説明する。図1は本発明の第1の実施形態に係るクロックデータリカバリー回路の構成を示すブロック図である。

【0018】

本実施形態に係るクロック抽出手段は、第1位相比較手段1と、第1アップダウンカウンタ手段2と、加重手段3と、電圧値決定手段を構成するチャージポンプ4及びローパスフィルター5と、電圧制御発振手段6とで構成されている。

【0019】

また、リタイミング用クロック生成手段は、第2アップダウンカウンタ手段7と第2位相調整手段8とで構成されている。

【0020】

また、第1位相調整手段は、第1カウンタ手段9と、第2カウンタ手段10と、第1位相調整手段を構成する第2位相比較回路11及び第3アップダウンカウンタ手段12とで構成されている。

【0021】

以上のクロック抽出手段、リタイミング用クロック生成手段、第1位相調整手段及び先入れ先出しメモリ手段13が、図1に示したブロック図のように接続さ

れ、本実施形態に係るクロックデータリカバリー回路全体が構成されている。なお、本実施形態では、はじめに入力されるシリアルデータS1は、NRZ(Non Return to Zero)方式でパルス信号に置き換えられたディジタル信号である。

【0022】

このクロックデータリカバリー回路に入力されるシリアルデータS1は、はじめに第1位相比較手段1に入力される。第1位相比較手段1は、このシリアルデータS1とリタイミング用クロック生成手段から出力されるリタイミング用クロックS2とを入力され、これらの位相を比較しアップ信号又はダウン信号S3を第1アップダウンカウンタ手段2及び第2アップダウンカウンタ手段7に出力する。また、この第1位相比較手段1は、リタイミング用クロック生成回路から入力されるリタイミング用クロックS2でシリアルデータS1をリタイミングしたシリアルデータS10を先入れ先出しメモリ手段13に出力する。

【0023】

図2は第1位相比較手段1の内部構造を示すブロック図である。第1位相比較手段1に入力されるシリアルデータS1及びリタイミング用クロックS2は、第1フリップフロップ101及び第2フリップフロップ102に各々入力される。但し、第2フリップフロップヘリタイミング用クロックを入力するときは、このクロックの位相を反転させてから入力する。第1フリップフロップ101の出力S10は第3フリップフロップ103のクロック端子へ入力され、第2フリップフロップ102の出力S102は第3フリップフロップ103のデータ端子へ入力される。第1フリップフロップ101の出力するシリアルデータS10は、はじめに入力されたシリアルデータS1をリタイミング用クロックS2の立ち上がりのタイミングで取り込んだ値となる。また、第2フリップフロップ102の出力する信号S102は、シリアルデータS1をリタイミング用クロックS2の立ち下がりのタイミングで取り込んだ値となる。また、第3フリップフロップ103の出力するクロックS3は、第2フリップフロップ102の出力S102を第1フリップフロップ101の出力S10の立上がりのタイミングで取り込んだ値となる。よって、第1フリップフロップ101の出力するシリアルデータS10は、シリアルデータS1をリタイミング用クロックS2でリタイミングしたシリ

アルデータとなる。また、第3フリップフロップ103の出力する信号S3はアップ信号又はダウン信号である。

【0024】

図3は、これら3個のフリップフロップで構成される第1位相比較手段1の動作を示すタイミングチャートであり、各フリップフロップの入力信号及び出力信号の波形を表している。図3(a)に示すように、リタイミング用クロックS2の立ち上がりがシリアルデータS1の変化点及び各変化点間の中心より以前にある場合、第1フリップフロップ101の出力するシリアルデータS10が立ち上がる時に第2フリップフロップ102の出力する信号S102はロー信号となるため、第3フリップフロップの出力する信号S3はダウン信号となる。一方、図3(b)に示すように、リタイミング用クロックS2の立ち上がりがシリアルデータS1の変化点及び各変化点間の中心より以降にある場合、第1フリップフロップ101の出力するシリアルデータS10が立ち上がる時に第2フリップフロップ102の出力する信号S102はハイ信号となるため、第3フリップフロップの出力する信号S3はアップ信号となる。このアップ信号又はダウン信号S3が、第1アップダウンカウンタ手段2及び第2アップダウンカウンタ手段7に出力される。

【0025】

第1アップダウンカウンタ手段2は、第1位相比較手段1から出力されるアップ信号又はダウン信号S3を入力される。この第1アップダウンカウンタ手段2は、アップ信号S3が入力された場合にはカウント値を1だけ加算したカウント値S4を出力し、ダウン信号S3が入力された場合にはカウント値を1だけ減算したカウント値S4を出力する。このカウント値S4は加重手段3に入力され重み付け及び切替等の操作を加えられて変化したアップ信号又はダウン信号S5としてチャージポンプ4に出力される。このチャージポンプ4及びチャージポンプ4からの出力されるデータの高周波成分を平滑化するローパスフィルター5が、電圧値決定手段を構成している。

【0026】

図4(a)は、加重手段3及びチャージポンプ4の内部構造を示す図である。

加重手段3は、第1アップダウンカウンタ手段2から入力されるカウント値S4と固定値とを比較し大小比較データS501を出力する大小比較器501と、大小比較器501から出力される大小比較データS501、第1アップダウンカウンタ手段2から入力されるカウント値S4及び第3アップダウンカウンタ手段12から入力されるカウント値S5から前記電圧値決定手段に出力する信号を決定する論理回路502とで構成することができる。図4(b)は、これら2つのカウント値と固定値との組み合わせ及びこれらの入力値で決まる加重手段3の出力を示す図である。大小比較器501は、第1アップダウンカウンタ手段2から入力されるカウント値S4と固定値とを比較しその大小情報を論理回路502に入力する。この論理回路502は、第1アップダウンカウンタ手段2及び第3アップダウンカウンタ手段12から入力されるカウント値S4及びS5の正負情報と大小比較器501から入力される大小比較情報S501とからアップ信号S502及びダウン信号S503をチャージポンプ4に出力する。

【0027】

例えば、図4(b)に示すように、論理回路502からのアップ信号S502がハイ信号であり、ダウン信号S503がロー信号である場合、チャージポンプ4を構成するトランジスタ503はオンとなりトランジスタ504はオフとなる。このとき、チャージポンプ4の出力電圧はハイとなる。論理回路502からのアップ信号S502がローであり、ダウン信号S503がハイの場合、チャージポンプ4を構成するトランジスタ503はオフとなりトランジスタ504はオンとなる。このとき、チャージポンプ4の出力電圧はローとなる。また、論理回路502からのアップ信号S502及びダウン信号S503が共にローの場合、チャージポンプ4を構成するトランジスタ503及びトランジスタ504は共にオフとなり、チャージポンプ4の出力電圧はハイインピーダンスとなる。

【0028】

本実施形態に係るリタイミング用クロック生成手段は、第2アップダウンカウンタ手段7と第2位相調整手段8とで構成されている。第2アップダウンカウンタ手段7は、第1位相比較手段1が出力するアップ信号又はダウン信号S3を入力される。この第1位相比較手段1からのアップ信号又はダウン信号S3を第2

アップダウンカウンタ手段7は一定の周期で取り込み、取り込んだ信号S3がアップ信号の場合にはカウント値を1だけ加算し、逆に取り込んだ信号S3がダウン信号の場合にはカウント値を1だけ減算したカウント値S9を第2位相調整手段8へ出力する。第2アップダウンカウンタ手段7からのカウント値S9と電圧制御発振手段6の出力する抽出された入力クロックS8とを入力された第2位相調整手段8は、この第2アップダウンカウンタ手段7の出力するカウント値S9に基づき、抽出された入力クロックS8の位相とずれた位相を有するリタイミング用クロックS2を出力する。

【0029】

図5は、電圧制御発振手段6及び第2位相調整手段8との内部構成を示す図である。電圧制御発振手段6は、図5に示すように、4個のディレイ素子を環状に直列接続したリングオシレータで構成することができる。電圧制御発振手段6の発振周波数は各ディレイ素子の信号遅延時間により決定され、この各ディレイ素子の信号遅延時間はローパスフィルター5から入力される制御電圧S7により決定される。制御電圧S7が一定の場合、各ディレイ素子の出力端のいずれか1つの出力を選択することにより、所望の位相を有する抽出された入力クロックS8を得ることができる。この各ディレイ素子の出力端の信号は第2位相調整手段8により出力される。なお、第2位相調整手段8は、第2アップダウンカウンタ手段7から入力されるカウント値S9に基づき、電圧制御発振手段6におけるクロック発振位相をセレクタにより切り替える。

【0030】

図6は、第2位相調整手段8が出力するリタイミング用クロックS2の波形である。第2位相調整手段8は、図6(a)に示すように、第2アップダウンカウンタ手段7から入力されるカウント値S9が1だけ加算されたカウント値である場合には、リタイミング用クロックS2の位相を、このリタイミング用クロックS2の周期を任意の自然数で割った値の秒数(1ステップ)分だけ進ませた位相に切替てから出力する。逆に、第2アップダウンカウンタ手段7から入力されるカウント値S9が1だけ減算されたカウント値である場合には、図6(b)に示すように、第2位相調整手段8はリタイミング用クロックS2の位相を1ステッ

ず分だけ遅らせた位相に切替えてから出力する。これらのクロックの周期201は、クロック位相切替操作の前後で一定である。また、これらのクロックの周期201は、第2アップダウンカウンタ手段7から入力されるカウント値S9のクロック周期とも一致している。よって、第2位相調整手段8が出力するリタイミング用クロックS2の位相は、はじめの入力信号であるシリアルデータS1の位相に対して素早く追従できるため、シリアルデータS1に高周波成分のジッタが含まれる場合にも高周波成分のジッタに追従しジッタを含んだリタイミング用クロックS2が出力される。

【0031】

この第2位相調整手段8から出力されるリタイミング用クロックS2は第1位相比較手段1に入力され、シリアルデータS1のリタイミングに用いられる。第1位相比較手段1は、先に図2で示したように、その構成要素の1つであるフリップフロップ101でシリアルデータS1をリタイミング用クロックS2でリタイミングしたシリアルデータS10を出力する。第2位相調整手段8から出力されるリタイミング用クロックS2はシリアルデータS1の位相に対する追従が速いため、シリアルデータS1に高周波成分のジッタが含まれる場合にもリタイミングの時にデータ誤りの発生する可能性が低くジッタ耐力の規格を充分に満足させることができる。

【0032】

本実施形態に係る第1位相調整手段は、第1カウンタ手段9と、第2カウンタ手段10と、第1位相調整手段を構成する第2位相比較回路11及び第3アップダウンカウンタ手段12とで構成されている。第1カウンタ手段9は、第2位相調整手段8から入力されるリタイミング用クロックS2のタイミングでカウントしたカウント値S12及びこのカウント値S12の最上位ビット情報S14をそれぞれ先入れ先出しメモリ手段13及び第2位相比較回路11に出力する。また、第2カウンタ手段10は、電圧制御発振手段6から入力される抽出された入力クロックS8のタイミングでカウントしたカウント値S13及びこのカウント値S13の最上位ビット情報S15をそれぞれ先入れ先出しメモリ手段13及び第2位相比較回路11に出力する。これらの第1カウンタ手段9の出力するカウン

ト値S12及び第2カウンタ手段10の出力するカウント値S13を入力される先入れ先出しメモリ手段13は、第1位相比較手段1が出力するシリアルデータS10と、第2位相調整手段8が出力するリタイミング用クロックS2と、電圧制御発振手段6が出力する抽出された入力クロックS8とを入力され、第2位相調整手段8が出力するジッタ成分を含むリタイミング用クロックS2から電圧制御発振手段6が出力するジッタ成分の抑えられた抽出された入力クロックS8へシリアルデータS10を乗せ換えシリアルデータS11として出力する。よって、先入れ先出しメモリ手段13が出力するシリアルデータS11、すなわちクロックデータリカバリー回路の出力信号は、ジッタを抑えたシリアルデータS11として出力される。従って、ジッタ伝達特性の規格を充分に満足させることができる。

【0033】

また、本実施形態では、第1アップダウンカウンタ手段2は、第1位相比較手段1から出力されるアップ信号又はダウン信号S3を入力される。この第1アップダウンカウンタ手段2は、アップ信号S3が入力された場合にはカウント値を1だけ加算したカウント値S4を出力し、ダウン信号S3が入力された場合にはカウント値を1だけ減算したカウント値S4を出力する。このカウント値S4は加重手段3に入力され重み付け及び切替等の操作を加えられて変化したアップ信号又はダウン信号S5としてチャージポンプ4に出力される。このチャージポンプ4及びチャージポンプ4からの出力されるデータの高周波成分を平滑化するローパスフィルター5が、電圧値決定手段を構成している。よって、この電圧値決定手段は、加重手段3からアップ信号S5を入力されると電圧制御発振手段6に出力する制御電圧S7を大きくし、加重手段3からダウン信号S5を入力されると電圧制御発振手段6に出力する制御電圧S7を小さくする。このため、電圧制御発振手段6が出力するクロックS8、即ち、クロック抽出手段の出力する抽出された入力クロックS8の周波数は、電圧制御発振手段6に入力される制御電圧S7が上昇すると大きくなり、逆に、制御電圧S7が下降すると小さくなる。よって、電圧制御発振手段6が出力する抽出された入力クロックS8の周波数は、加重手段3で重み付け及び切替等の操作を与えられたアップ信号又はダウン信号

S 5 により制御される。従って、抽出された入力クロック S 8 の位相がシリアルデータ S 1 に対して比較的遅く追従するように加重手段 3 での操作を行うことにより、シリアルデータ S 1 に高周波成分のジッタが含まれた場合においても、高周波成分のジッタを抑えた抽出された入力クロック S 8 を出力することができる。

【0034】

本実施形態に係る先入れ先出しメモリ手段 1 3 では、第 1 位相調整手段の働きにより、書き込み側のアドレス値と読み出し側のアドレス値とがぶつからない。図 7 は第 2 位相比較回路 1 1 の内部構造を示すブロック図である。第 2 位相比較回路 1 1 は、ただ 1 個のフリップフロップ 3 0 1 のみで構成できる。フリップフロップ 3 0 1 は、図 7 に示すように、第 1 カウンタ手段 9 から出力されるカウント値 S 1 2 の最上位ビット情報 S 1 4 をそのクロック入力端子に入力され、第 2 カウンタ手段 1 0 から出力されるカウント値 S 1 3 の最上位ビット情報 S 1 5 をそのデータ入力端子に入力される。そして、フリップフロップ 3 0 1 は、このクロック入力端子に入力される最上位ビット情報 S 1 4 のクロックが立上がるタイミングで、このデータ端子に入力される最上位ビット情報 S 1 5 を取り込んだ値を、第 2 位相比較手段 1 1 の出力するアップ信号又はダウン信号 S 1 6 として第 3 アップダウンカウンタ手段 1 2 へ出力する。

【0035】

第 1 カウンタ手段 9 が出力するカウント値 S 1 2 及び第 2 カウンタ手段 1 0 が出力するカウント値 S 1 3 は、それぞれ先入れ先出しメモリ手段 1 3 の書き込み側のアドレス値及び読み出し側のアドレス値に対応している。図 6 は、この先入れ先出しメモリ手段のアドレス空間の深さが 4 である場合における第 1 カウンタ手段 9 及び第 2 カウンタ手段 1 0 の動作を示すタイミングチャートである。第 1 カウンタ手段 9 が出力するカウント値 S 1 2 及び第 2 カウンタ手段 1 0 が出力するカウント値 S 1 3 は、0 から 3 の範囲の整数値を取る。例えば、カウント値が 2 又は 3 であるとき、このカウント値の最上位ビットはハイとなる。よって、第 1 カウンタ手段 9 から出力されるカウント値 S 1 2 の最上位ビット情報 S 1 4 と、第 2 カウンタ手段 1 0 から出力されるカウント値 S 1 3 の最上位ビット情報 S

15の位相を 180° ずらすことにより、先入れ先出しメモリ手段13の書き込み側のアドレス値と読み出し側のアドレス値との距離を、この先入れ先出しメモリ手段13のアドレス空間の深さの半分にすることができ、書き込み側のアドレス値と読み出し側のアドレス値とがぶつかることはない。

【0036】

フリップフロップ301の出力する信号S16は、図8(a)に示すように、第1カウンタ手段9がカウントするカウント値S12の最上位ビット情報S14が立上がる時に、第2カウンタ手段10がカウントするカウント値S13の最上位ビット情報S15がハイである場合はハイとなり、このフリップフロップ301で構成される第2位相比較回路11はアップ信号S16を第3アップダウンカウンタ手段12に出力する。また、フリップフロップ301の出力する信号S16は、図8(b)に示すように、第1カウンタ手段9がカウントするカウント値S12の最上位ビット情報S14が立上がる時に、第2カウンタ手段10がカウントするカウント値S13の最上位ビット情報S15がローである場合はローとなり、このフリップフロップ301で構成される第2位相比較回路11はダウン信号S16を第3アップダウンカウンタ手段12に出力する。

【0037】

この第3アップダウンカウンタ手段12は、第2位相比較回路11からアップ信号S16を入力されるとカウント値を1だけ加算し、ダウン信号S16を入力されるとカウント値を1だけ減算したカウント値S5を、加重手段3に向けて出力する。この第3アップダウンカウンタ手段12から出力されるカウント値S5を入力された加重手段3は、このカウント値S5に重み付け及び切替等の操作を加えたアップ信号又はダウン信号S6をチャージポンプ4に向けて出力する。このチャージポンプ4は、ローパスフィルター5と共にクロック抽出手段における電圧値決定手段の構成要素となっている。このため、上記のように第1位相調整手段が働くことにより、クロック抽出手段が電圧制御発振手段6から出力される抽出された入力クロックS8の発振周波数を制御することができる。よって、抽出された入力クロックS8の発振周波数を制御することにより、このクロックS8を入力される第2カウンタ手段10の出力するカウント値S13の位相を制御

することができる。従って、このカウント値S13によって調整される先入れ先出しメモリ手段13の読み出し側のアドレス値を制御することが可能となり、この先入れ先出しメモリ手段13の書き込み側のアドレス値と読み出し側のアドレス値とが重複するのを回避できる。

【0038】

本発明に係る第1の実施形態では、先ず、第1位相比較手段1に入力される信号であるシリアルデータS1の位相とリタイミング用クロックS2の位相とが比較される。次に、この位相比較結果に基づき第1位相比較手段1はアップ信号又はダウン信号S3を出力する。このアップ信号又はダウン信号S3は第1アップダウンカウンタ手段2に入力される。この第1アップダウンカウンタ手段2は、第1位相比較手段1から入力される信号S3がアップ信号の場合はカウント値を1だけ加算し、ダウン信号の場合はカウント値を1だけ減算したカウント値S4を出力する。この第1アップダウンカウンタ手段2が出力したカウント値S4は加重手段3に入力され、重み付け及び切替操作等の操作を加えられる。この加重手段3は、これらの操作により第1アップダウンカウンタ手段2から入力されるカウント値S4に基づいたアップ信号又はダウン信号S5を生成し出力する。この加重手段3から出力されるアップ信号又はダウン信号S5は、電圧値決定手段4及び5に入力される。この電圧値決定手段4及び5は、この加重手段3から出力されるアップ信号又はダウン信号S5に基づいた電圧値を決定し制御電圧情報S7として電圧制御発振手段6へ出力する。電圧制御発振手段6は、この制御電圧情報S7を入力され、この制御電圧情報S7に基づいて発振周波数を決定し生成したクロックS8を出力する。この電圧制御発振手段6が出力するクロックS8が入力信号から抽出された入力クロックであり、このクロックデータリカバリー回路の出力するクロックとなる。従って、このクロック抽出手段から出力される抽出された入力クロックの位相を加重手段3で操作し調整することにより、このクロックデータリカバリー回路の出力クロックのジッタ伝達特性を向上させることができる。

【0039】

また、本発明に係る第1の実施形態では、第2アップダウンカウンタ手段7は

、第1位相比較手段1が出力するアップ信号又はダウン信号S3を入力され、アップ信号を入力された場合にはカウント値を1だけ加算したカウント値を出力し、ダウン信号を入力された場合にはカウント値を1だけ減算したカウント値S9を出力する。第2位相調整手段8は、第2アップダウンカウンタ手段7からのカウント値S9とクロック抽出手段から出力される抽出された入力クロックS8とを入力される。この第2アップダウンカウンタ手段7から入力されるカウント値S9により、第2位相調整手段8は抽出された入力クロックS8とは位相のずれたクロックS2をリタイミング用クロックとして生成し出力することができる。

【0040】

第1カウンタ手段9は、リタイミング用クロック生成手段から出力されるリタイミング用クロックS2を入力され、このクロックS2のタイミングでカウントしたカウント値S12及びこのカウント値の最上位ビット情報S14を出力する。また、第2カウンタ手段10は、クロック抽出手段から出力される抽出された入力クロックS8を入力され、このクロックS8のタイミングでカウントしたカウント値S13及びこのカウント値の最上位ビット情報S15を出力する。第2位相比較手段11は、第1カウンタ手段9から出力されるカウント値S12の最上位ビット情報S14と第2カウンタ手段10から出力されるカウント値S13の最上位ビット情報S15とを入力される。第2位相比較手段11は、これらの最上位ビット情報S14及びS15の位相を比較し、その結果に基づいてアップ信号又はダウン信号S16を出力する。この第2位相比較手段11から出力される信号S16は第3アップダウンカウンタ手段12に入力される。この第3アップダウンカウンタ手段12は、第2位相比較手段11から入力される信号S16がアップ信号の場合にはカウント値を1だけ加算したカウント値S5を出力し、ダウン信号が入力される場合にはカウント値を1だけ減算したカウント値S5を出力する。この第3アップダウンカウンタ手段12が出力するカウント値S5は、クロック抽出手段の構成要素である加重手段3に入力される。加重手段3は、第3アップダウンカウンタ手段12から入力されるカウント値S5に重み付け及び切替等の操作を加えてアップ信号又はダウン信号S6として出力する。この加重手段3から出力される信号は電圧値決定手段4及び5に入力され、電圧制御発

振手段6が生成する抽出された入力クロックS8の発振周波数を決定するのに用いられる。このように、第1位相調整手段からの出力S5がクロック抽出手段に入力され、このクロック抽出手段が生成するクロックS8の発振周波数を変化させることにより、先入れ先出しメモリ手段13の書き込み側のアドレス値と読み出し側のアドレス値とが重ならないようなクロックを抽出された入力クロックS8として出力することが可能となる。

【0041】

また、第1位相比較手段1は、入力信号であるシリアルデータS1をリタイミング用クロック生成手段から入力されるリタイミング用クロックS2でリタイミングした信号S10を出力する。そして、先入れ先出しメモリ手段13は、この第1位相比較手段1が出力する信号S10をリタイミング用クロック生成手段から入力されるリタイミング用クロックS2のタイミングで第1カウンタ手段9から入力されるカウント値S12に等しい値のアドレス値が示す場所に書き込み、クロック抽出手段から入力される抽出された入力クロックS8のタイミングで第2カウンタ手段10から入力されるカウント値S13に等しい値のアドレス値が示す場所から読み出した信号S11を出力する。このようにして出力される信号S11は、入力信号S10をジッタ伝達特性を向上させるように調整され抽出された入力クロックS8に乗せ換えた信号であるから、ジッタ成分を抑えた信号として出力させることができる。

【0042】

図9は本発明の第2の実施形態に係るクロックデータリカバリー回路の構成を示すブロック図である。このクロックデータリカバリー回路では、図9に示すように、第1位相比較手段1と先入れ先出しメモリ手段13との間にシリアルーパラレル変換回路14が設けられている。このシリアルーパラレル変換回路14は、第1位相比較手段1から出力されるシリアルデータS10をリタイミング用クロックS2のタイミングで入力しパラレルデータに変換した後、分周器15から入力されるクロックS17のタイミングで先入れ先出しメモリ手段13へ、パラレルデータS18として出力する。分周器15は、第2位相調整手段8から入力されるクロックS2を分周しシリアルーパラレル変換回路14と先入れ先出しメ

モリ手段13と第1カウンタ手段9とへ向けてクロックS17として出力する。また、電圧制御発振手段6と先入れ先出しメモリ手段13との間にも、図7に示すように、分周器16が設けられている。この分周期16は、電圧制御発振手段6から入力されるクロックS8を分周して先入れ先出しメモリ手段13及び第2カウンタ手段10へ向けてクロックS19を出力する。

【0043】

このように、先入れ先出しメモリ手段13の入力側にシリアル-パラレル変換回路14を設けることにより、従来のクロックデータリカバリー回路では扱えなかった高速のシリアルデータであっても、本実施形態に係るクロックデータリカバリー回路においては、ジッタ伝達特性及びジッタ耐力の両方の規格を満たす出力信号及び抽出されたクロックを出力させることが可能である。

【0044】

【発明の効果】

以上詳述したように、本発明によるクロックデータリカバリー回路は、入力信号をリタイミングするためのリタイミング用クロックをクロック抽出手段とは独立して生成することができる。このため、クロック抽出手段において抽出された入力クロックの位相をジッタ伝達特性を向上させる方向に調整しジッタ耐力が低下するような場合においても、リタイミング用クロックの位相をリタイミング用クロック生成手段において別途調整し、ジッタ耐力の規格を満足させるリタイミング用クロックを生成することができる。また、これらリタイミング用クロック、抽出された入力クロック及び入力信号を先入れ先出しメモリに入力し、信号の乗せ換え操作等を行うことにより、ジッタ耐力の規格を満足するリタイミング用クロックでリタイミングされ、ジッタ伝達特性の規格を満足する抽出された入力クロックへ乗せ換えられたデータを出力させることができる。よって、ジッタ耐力及びジッタ伝達特性の両方の規格を同時に満足させることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係るクロックデータリカバリー回路の構成を示すブロック図である。

【図2】

本発明の第1の実施形態に係るクロックデータリカバリー回路のクロック抽出手段の構成要素の一つである第1位相比較手段の内部構造を示すブロック図である。

【図3】

図2に示した位相比較回路の動作を示すタイミングチャートである。

【図4】

本発明の第1の実施形態に係るクロックデータリカバリー回路のクロック抽出手段の構成要素の一つである加重手段の内部構造を示すブロック図と、この加重手段への入出力信号の動作を示す図である。

【図5】

本発明の第1の実施形態に係るクロックデータリカバリー回路のリタイミング用クロック生成手段の構成要素の一つである第2位相調整手段の動作を示す図である。

【図6】

本発明の第1の実施形態に係るクロックデータリカバリー回路のリタイミング用クロック生成手段の構成要素の一つである第2位相調整手段の動作を示す波形図である。

【図7】

本発明の第1の実施形態に係るクロックデータリカバリー回路の第1位相調整手段の構成要素の一つである第2位相比較回路の内部構造を示すブロック図である。

【図8】

本発明の第1の実施形態に係るクロックデータリカバリー回路の第1位相調整手段の構成要素である第1カウンタ手段及び第2カウンタ手段の動作を示すタイミングチャートである。

【図9】

本発明の第2の実施形態に係るクロックデータリカバリー回路の構成を示すブロック図である。

【図10】

従来のクロックデータリカバリー回路の構成を示すブロック図である。

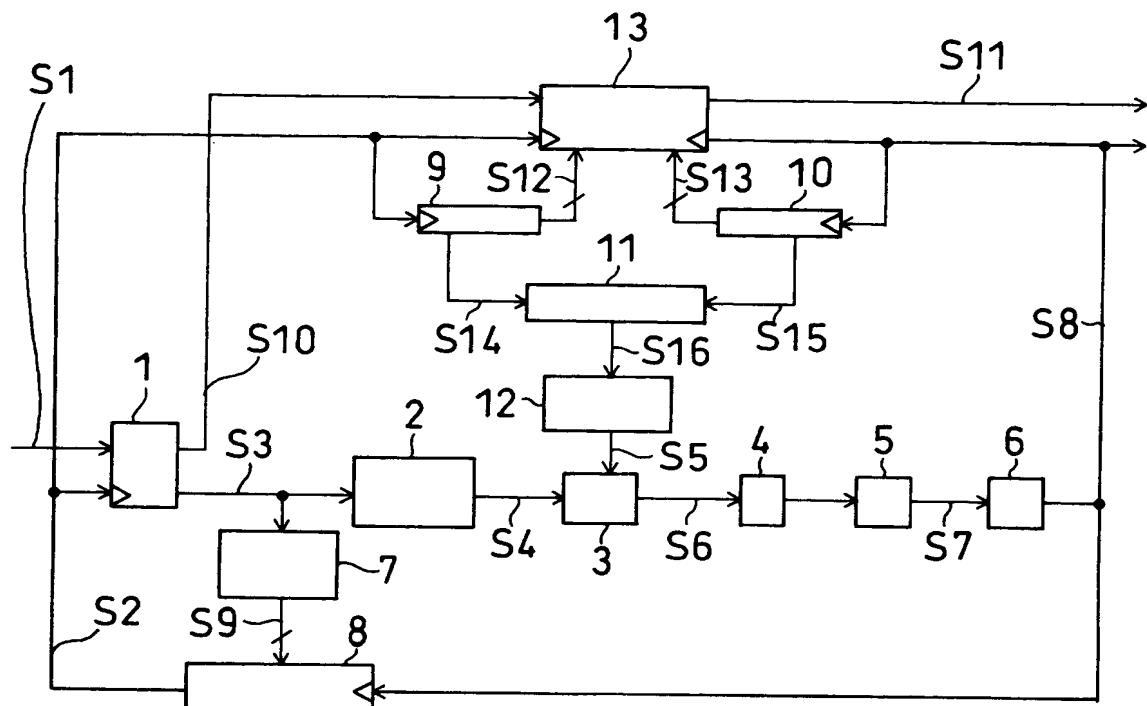
【符号の説明】

- 1 ; 第1位相比較手段
- 2 ; 第1アップダウンカウンタ
- 3 ; 加重手段
- 4 ; チャージポンプ
- 5 ; ローパスフィルター
- 6 ; 電圧制御発振手段
- 7 ; 第2アップダウンカウンタ手段
- 8 ; 第2位相調整手段
- 9 ; 第1カウンタ手段
- 10 ; 第2カウンタ手段
- 11 ; 第2位相比較回路
- 12 ; 第3アップダウンカウンタ手段
- 13 ; 先入れ先出しメモリ手段
- 14 ; シリアルルーパラレル変換回路
- 15, 16 ; 分周器
- 101, 102, 103, 301 ; フリップフロップ
- 201 ; クロック周期
- S1, S10, S11, S401, S409 ; シリアルデータ
- S2, S8、S17, S19, S402 ; クロック
- S3, S6, S16, S403, S404, S405, S406 ; アップ信号
又はダウン信号
- S4, S5, S9, S12, S13, ; カウント値
- S7, S408 ; 制御電圧情報
- S14, S15 ; 最上位ビット情報
- S18, S20 ; パラレルデータ

【書類名】

図面

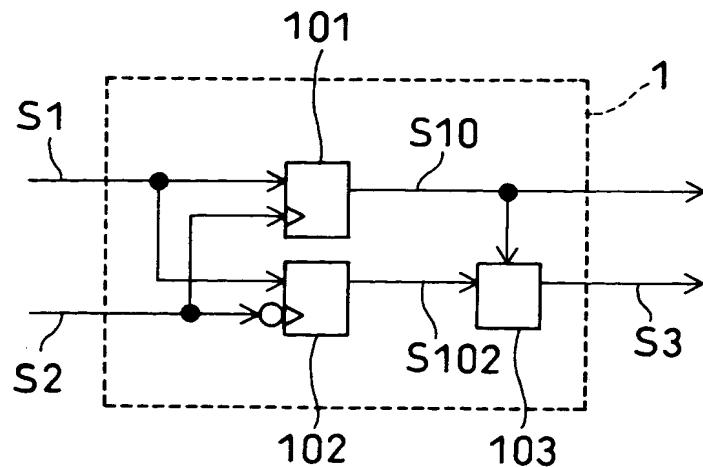
【図1】



- 1: 第1位相比較手段
- 2: 第1アップダウンカウンタ手段
- 3: 加重手段
- 4: チャージポンプ
- 5: ローパスフィルター
- 6: 電圧制御発振手段
- 7: 第2アップダウンカウンタ手段
- 8: 第2位相調整手段
- 9: 第1カウンタ手段
- 10: 第2カウンタ手段
- 11: 第2位相比較回路

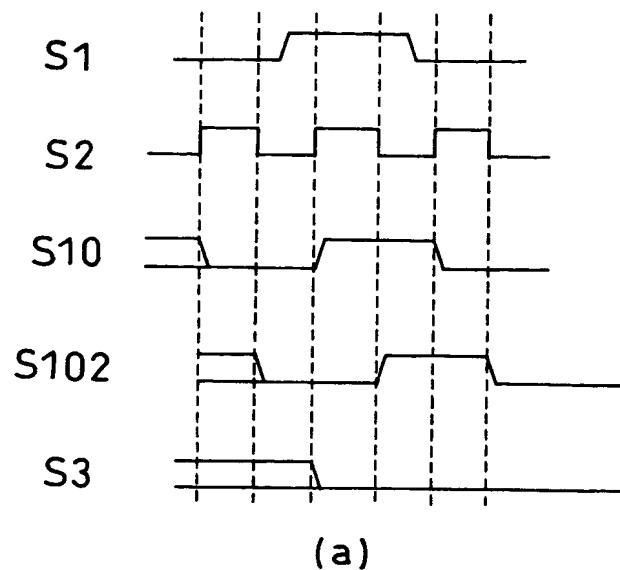
- 12: 第3アップダウンカウンタ手段
- 13: 先入れ先出レメモリ
- S1, S10, S11: シリアルデータ
- S2, S8: クロック
- S3, S6: アップ信号又はダウン信号
- S4, S5, S9, S12, S13: カウント値
- S7: 制御電圧情報
- S14, S15: 最上位ビット情報

【図2】

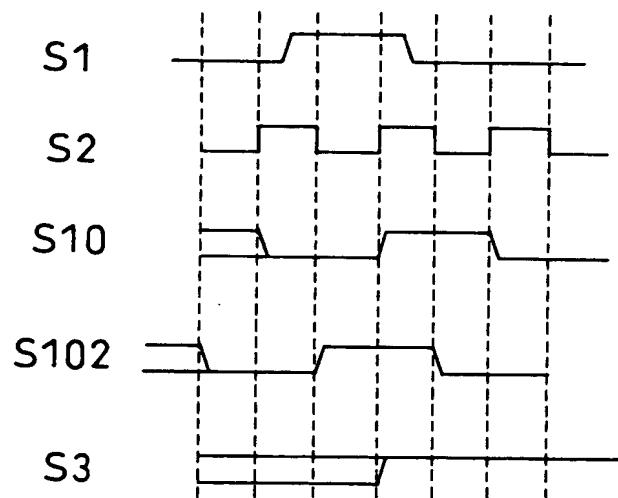


101, 102, 103; フリップフロップ
S1, S10; シリアルデータ
S2; クロック
S3; アップ信号又はダウン信号
S102; フリップフロップ102の出力

【図3】



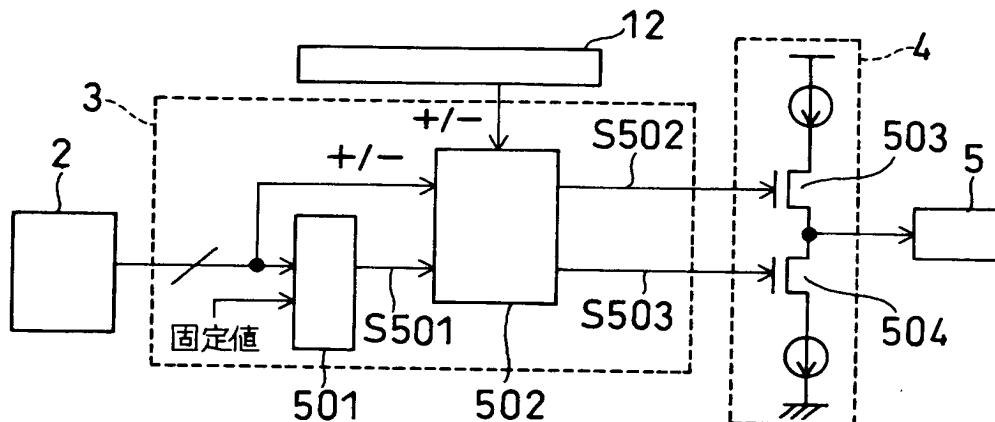
(a)



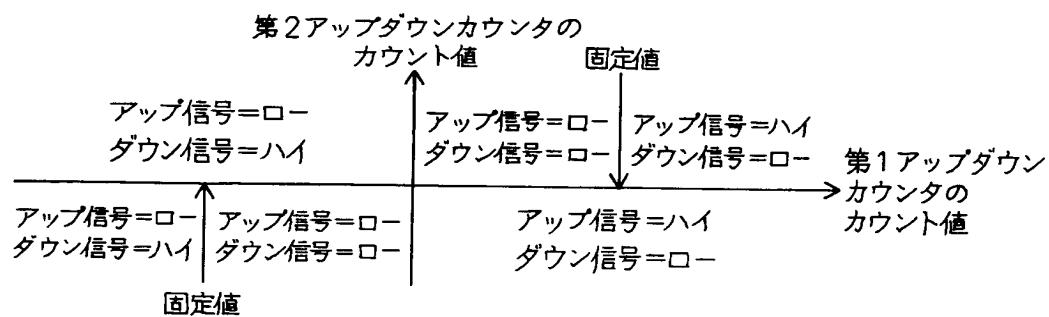
(b)

S1, S10: シリアルデータ
S2: クロック
S3: アップ信号又はダウン信号
S102: フリップフロップ'102の出力

【図4】



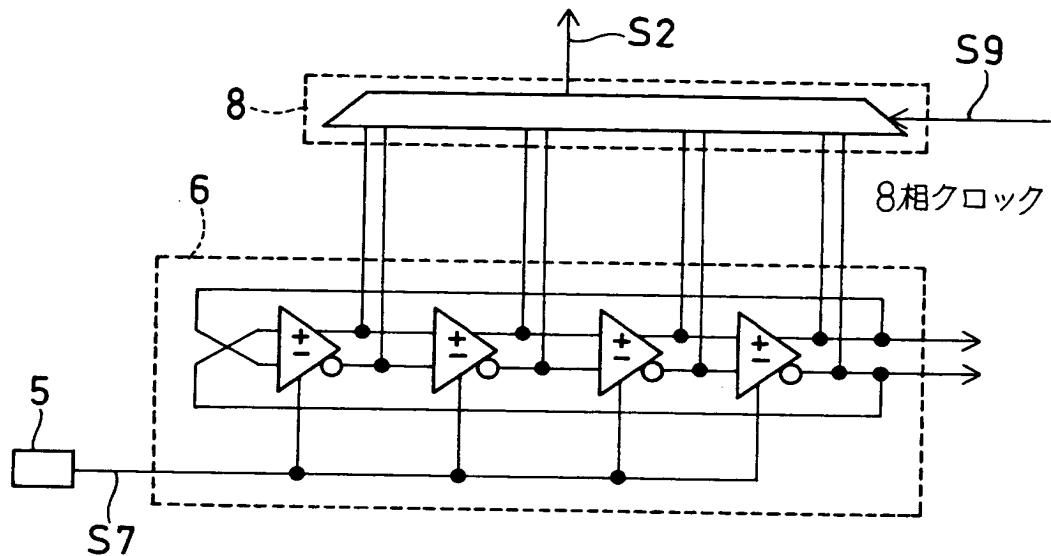
(a)



(b)

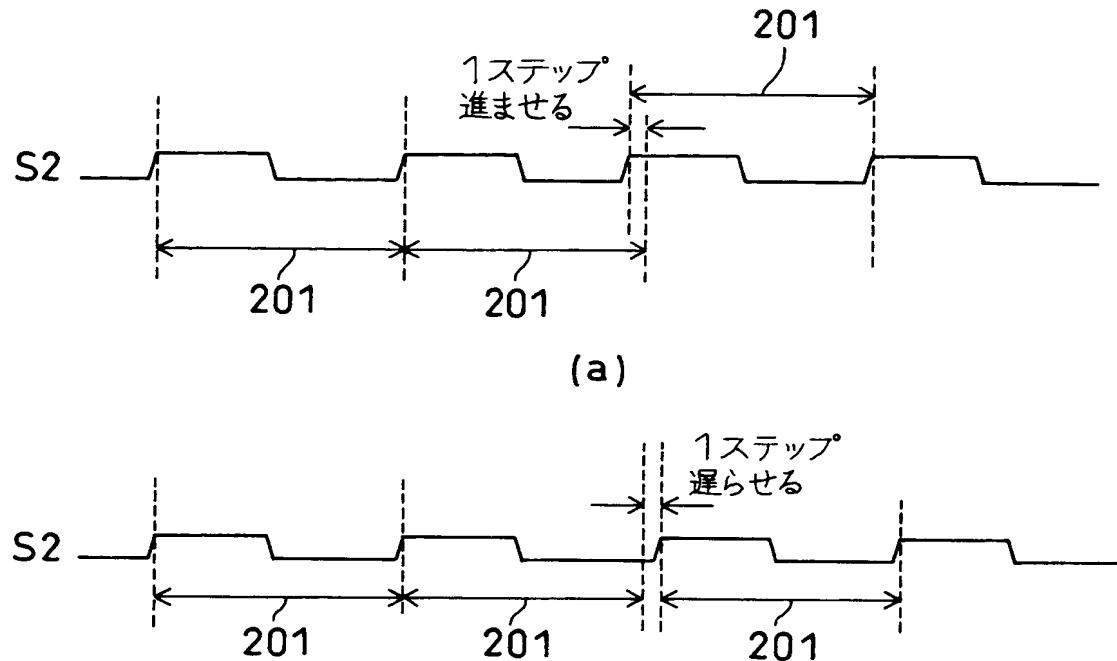
- 2: 第1アップダウンカウンタ手段
- 3: 加重手段
- 4: チャージポンプ
- 5: ローパスフィルター
- 12: 第3アップダウンカウンタ手段
- 501: 大小比較器
- 502: 論理回路
- 503, 504: トランジスタ
- S501: 大小比較情報
- S502: アップ信号
- S503: ダウン信号

【図5】



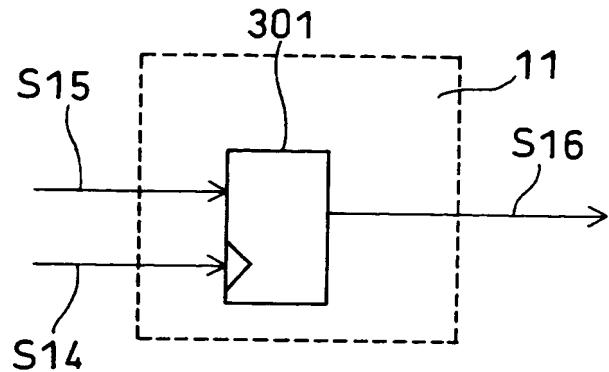
- 5 ; ローパスフィルター
- 6 ; 電圧制御発振手段
- 8 ; 第2位相調整手段
- S2 ; クロック
- S7 ; 制御電圧情報
- S9 ; カウント値

【図6】



201 : クロック周期
S2 : クロック

【図7】



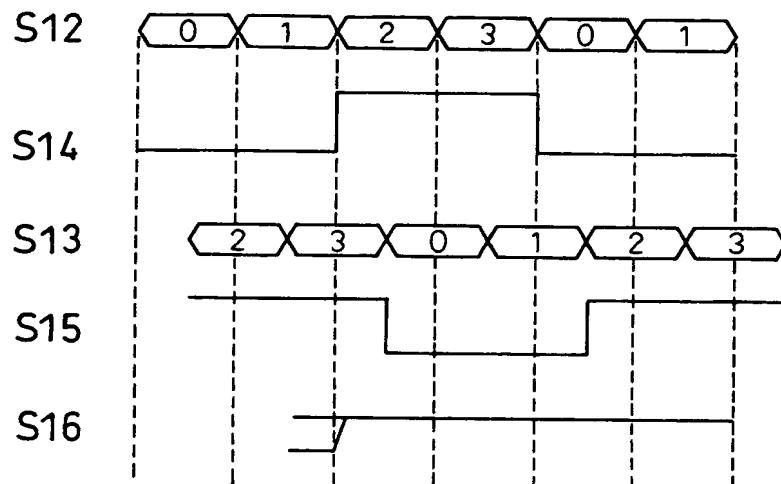
11：第2位相比較回路

301：フリップフロップ

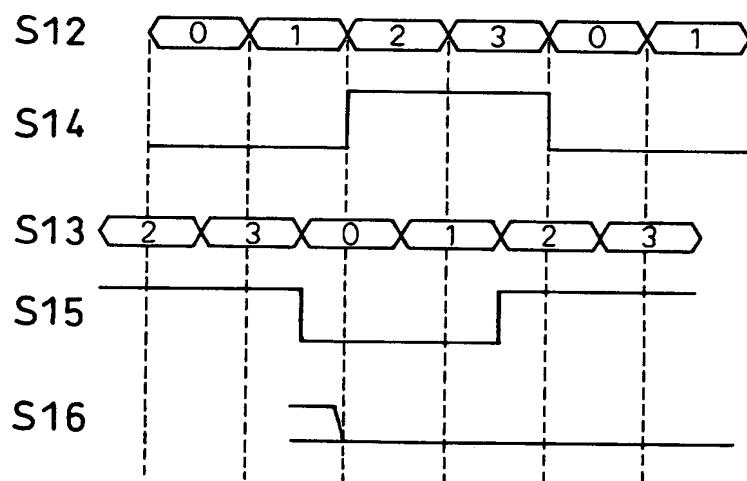
S14、S15：最上位ビット情報

S16：アップ信号又はダウン信号

【図8】



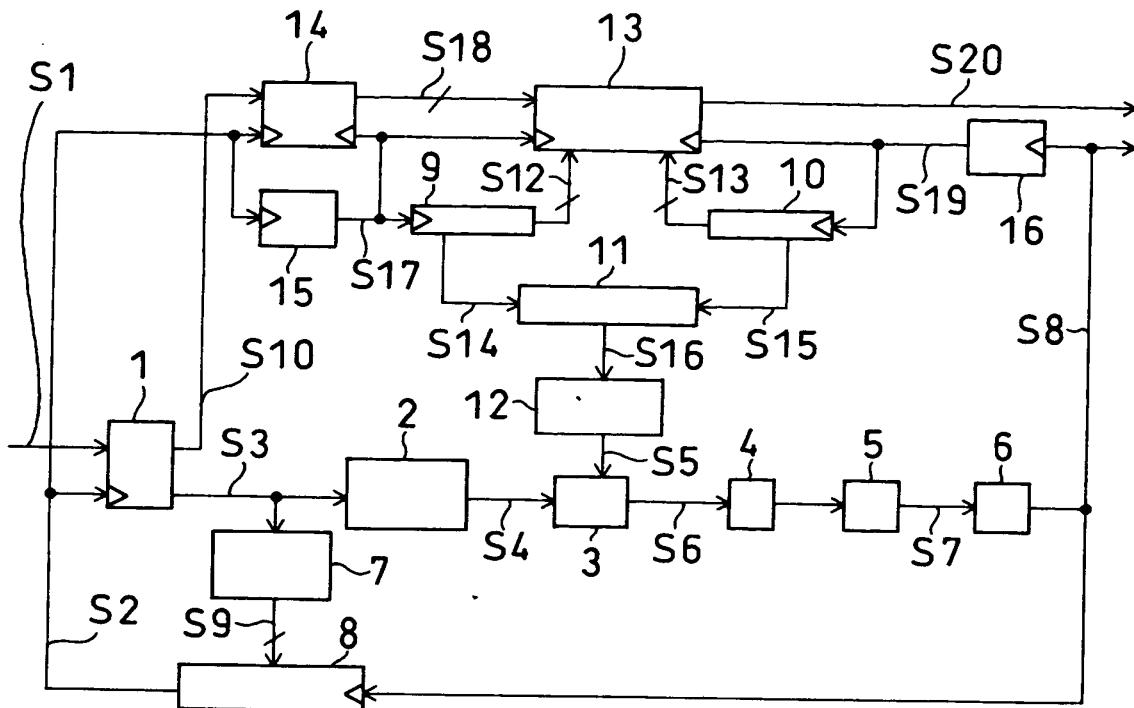
(a)



(b)

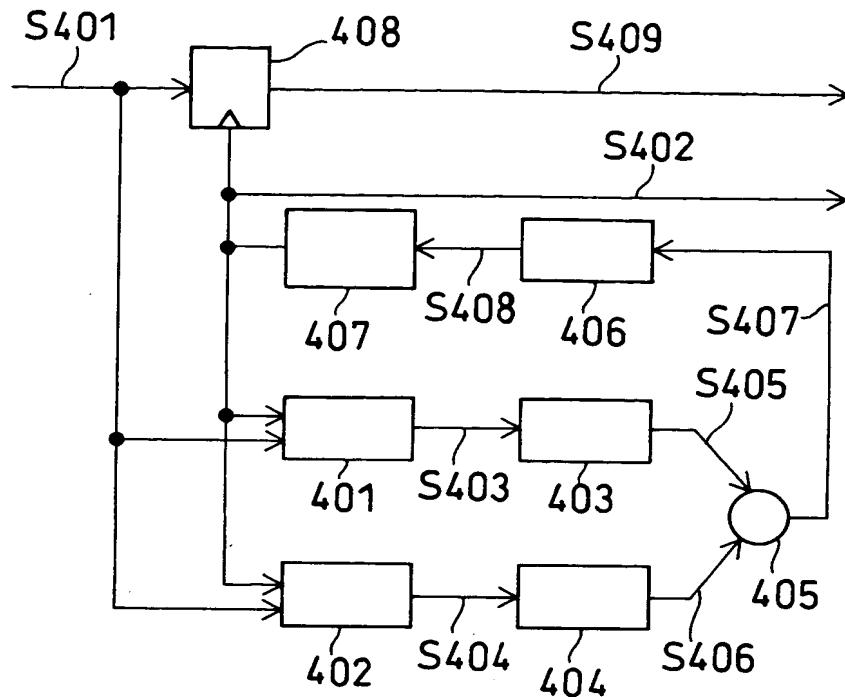
- S12 : 書き込み側アドレス値
- S13 : 読み出し側アドレス値
- S14 : 書き込み側アドレス値の最上位ビット
- S15 : 読み出し側アドレス値の最上位ビット
- S16 : アップ信号又はダウン信号

【図9】



1 ; 第1位相比較手段	13 ; 先入れ先出レメモリ
2 ; 第1アップダウンカウンタ手段	14 ; シリアル一パラレル変換回路
3 ; 加重手段	15, 16 ; 分周器
4 ; チャージポンプ	S1, S10 ; シリアルデータ
5 ; ローパスフィルター	S2, S8, S17, S19 ; クロック
6 ; 電圧制御発振手段	S3, S6, S16 ; アップ信号又はダウン信号
7 ; 第2アップダウンカウンタ手段	S4, S5, S9, S12, S13 ; カウント値
8 ; 第2位相調整手段	S7 ; 制御電圧情報
9 ; 第1カウンタ手段	S14, S15 ; 最上位ビット情報
10 ; 第2カウンタ手段	S18, S20 ; パラレルデータ
11 ; 第2位相比較回路	
12 ; 第3アップダウンカウンタ手段	

【図10】



401：位相検出回路(PD)

402：周波数検出回路(FD)

403：PD フィルター

404：FD フィルター

405：加重回路

406：高周波除去フィルター

407：電圧制御発振機

408：ブリッピングロップ

S401、S409：シリアルデータ

S402：クロック

S404、S405、S406：アップ信号又はダウン信号

S408：制御電圧情報

【書類名】 要約書

【要約】

【課題】 ジッタ伝達特性及びジッタ耐力の両方がSONET／SDH規格を同時に満足させることができるクロックデータリカバリー回路を提供する。

【解決手段】 クロック抽出手段は、第1位相比較手段1と、第1アップダウンカウンタ手段2と、加重手段3と、電圧値決定手段を構成するチャージポンプ4及びローパスフィルター5と、電圧制御発振手段6とで構成される。また、リタイミング用クロック生成手段は、第2アップダウンカウンタ手段7と第2位相調整手段8とで構成される。更に、第1位相調整手段は、第1カウンタ手段9と、第2カウンタ手段10と、第1位相調整手段を構成する第2位相比較回路11及び第3アップダウンカウンタ手段12とで構成される。前記クロック抽出手段、リタイミング用クロック生成手段及び第1位相調整手段並びに先入れ先出しメモリ手段13とでクロックデータリカバリー回路を構成する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-200351
受付番号	50201005468
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 7月10日

<認定情報・付加情報>

【提出日】 平成14年 7月 9日

次頁無

【書類名】 出願人名義変更届（一般承継）

【整理番号】 71110550

【提出日】 平成15年 1月29日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-200351

【承継人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届に添付のものを援用する。

【物件名】 承継人であることを証明する承継証明書 1

【援用の表示】 平成15年1月23日提出の平成11年特許願第031
184号の出願人名義変更届に添付のものを援用する。

【包括委任状番号】 0216549

【ブルーフの要否】 要

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社